

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-085519

(43)Date of publication of application : 30.03.2001

(51)Int.Cl.

H01L 21/768

(21)Application number : 2000-262554 (71)Applicant : TOBU DENSHI KK

(22)Date of filing : 31.08.2000 (72)Inventor : RYO UENSHOKU

(30)Priority

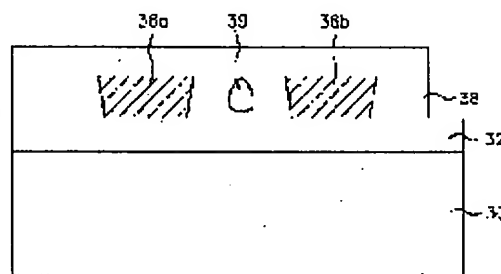
Priority number : 99 9936439 Priority date : 31.08.1999 Priority country : KR

## (54) MANUFACTURE OF WIRING STRUCTURE OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a wiring structure of a semiconductor element with an air gap between metal wirings, formed using a damascene method.

SOLUTION: This manufacturing method contains a process for forming a sacrificial layer on a semiconductor substrate 30 containing a base layer, a process for patterning a specified part of the sacrificial layer, a process for forming wirings 36a, 36b by embedding conducting layers in a part between the sacrificial layers, a process for eliminating the sacrificial layer selectively, and a process for forming an interlayer insulating film 38, in such a manner that an air gap 39 is formed in a space between the wirings 36a, 36b.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-85519

(P2001-85519A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

キーワード\* (参考)

N

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願2000-262554 (P2000-262554)

(22) 出願日 平成12年8月31日 (2000.8.31)

(31) 優先権主張番号 1 9 9 9 - 3 6 4 3 9

(32) 優先日 平成11年8月31日 (1999.8.31)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 399029710

東部電子株式会社

大韓民国ソウル市江南区驛三洞838 韓重  
江南ビル11階

(72) 発明者 梁 ▲うゑん▼ 植

大韓民国ソウル市松坡区五輪洞 (無番地)  
オリンピック・アパートメント 108 -  
903

(74) 代理人 100107308

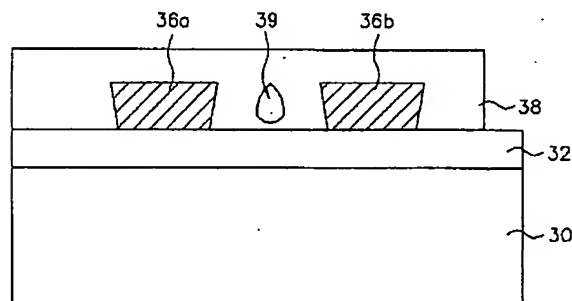
弁理士 北村 修一郎

(54) 【発明の名称】 半導体素子の配線構造の製造方法

(57) 【要約】

【課題】 ダマシン方式を用いて作られた金属配線間にエアギャップを備えた半導体素子の配線構造の製造方法を提供する。

【解決手段】 下地層を含む半導体基板 30 上に犠牲層を形成する段階；犠牲層を所定部分パターニングする段階；犠牲層間の空間に導電層を埋め込み、配線 36 a、36 b を形成する段階；犠牲層を選択的に除去する段階；及び配線 36 a、36 b 間の空間にエアギャップ 39 が形成されるように層間絶縁膜 38 を形成する段階を含むことを特徴とする。



## 【特許請求の範囲】

【請求項 1】 下地層を含む半導体基板上に犠牲層を形成する段階；前記犠牲層の所定部分をパターニングする段階；前記犠牲層間の空間に導電層を埋め込み、配線を形成する段階；前記犠牲層を選択的に除去する段階；及び、前記配線間の空間にエアギャップが形成されるように層間絶縁膜を形成する段階を含むことを特徴とする半導体素子の配線構造の製造方法。

【請求項 2】 下地層を含む半導体基板上に犠牲層を形成する段階；前記犠牲層の所定部分をパターニングする段階、このパターニング段階において、パターニングされた前記犠牲層の側壁がテーパー形態になるようにパターニングされる；前記犠牲層上に、前記犠牲層間の空間が十分に充填されるように導電層を形成する段階；前記導電層を前記犠牲層の表面が露出するように除去して、前記犠牲層間の空間に配線を形成する段階、この配線形成段階において、前記配線の側壁は前記犠牲層の側壁によって逆テーパー形態を持つ；前記犠牲層を選択的に除去する段階；及び、前記配線上に前記配線間の空間にエアギャップが形成されるように層間絶縁膜を形成する段階を含むことを特徴とする半導体素子の配線構造の製造方法。

【請求項 3】 前記犠牲層のパターニング段階では、前記犠牲層の側壁がテーパー形態になるように、犠牲層の線幅が下部に行くにつれて広がるようにパターニングされることを特徴とする請求項 1 に記載の半導体素子の配線構造の製造方法。

【請求項 4】 前記層間絶縁膜は U S G (undoped silicate glass)、P S G (phosphorous silicate glass)、B S G (borosilicate glass)、B P S G (borophosphorous silicate glass)、F S G (fluorinated silicate glass)、ポリマー及び S O G (spin on glass) 膜のいずれか一つであることを特徴とする請求項 1 または 2 に記載の半導体素子の配線構造の製造方法。

【請求項 5】 前記層間絶縁膜は誘電率が 4 以下の低誘電膜であることを特徴とする請求項 4 に記載の半導体素子の配線構造の製造方法。

【請求項 6】 前記層間絶縁膜は、CVD、スパッタリング、スピンコート及び蒸発法のいずれか一つで形成することを特徴とする請求項 4 に記載の半導体素子の配線構造の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、エアギャップを持つ半導体素子の配線構造の製造方法に関し、より詳しくは、ダマシン(damascene)方式によって形成された配線構造において、エアギャップを持つ構造及びその製造方法に関する。

## 【0002】

【従来の技術】 最近、半導体素子の高集積度に伴い、これに比例して金属配線の間隔及び線幅が減少しつつある。金属配線の間隔が減少すれば、金属配線間のキャパシタンスが増加して信号遅延が発生し、隣接する配線とのクロストークが発生する。

【0003】 従来より金属配線間の寄生容量を減少させる為に種々の方法が提案されており、そのうちの一つは、配線間絶縁膜として低誘電率を持つ絶縁膜を用いることである。

【0004】 すなわち、キャパシタンスは絶縁膜の誘電率( $k$ )に比例するので、配線間絶縁としてシリコン酸化膜(SiO<sub>2</sub>)膜の誘電率( $k=4.1$ )よりも誘電率の低い F S G (fluorinated silicate glass, SixOFy,  $k=3.4 \sim 4.1$ ) または H S Q (hydrogen silsesquioxane,  $k=2.9$ ) 等の様な物質が用いられた。

【0005】 しかしながら、このような方法は、たとえ誘電率を約 3 程度まで低減することができても、上述したこの誘電率は、高集積化のための要求に対して十分に小さな値ではない。さらに、このような方法は、複雑な工程及び高コスト化を招く。

【0006】 配線間の誘電率が約 1 になるように、隣接する金属配線間にエアギャップ(airgap)を用いる技術が提案された。隣接する配線間に介在されたエアギャップを用いる一般の方法を図 1 から図 4 に示した。

【0007】 まず、図 1 に示すように、半導体基板 10 上に所定の回路パターンを含む下地層 12 が形成される。第 1 絶縁層 12 上に金属配線用金属膜 14 が蒸着される。金属膜 14 は大部分の金属配線材料として用いるアルミニウム金属膜を用いる。金属配線を限定するためのフォトリソグロフィー工程によって金属配線 14 上に形成される。

【0008】 図 2 に示すように、金属膜 14 はフォトリソグロフィー工程によってパターニングされて金属配線 14a、14b が形成される。その後、フォトリソグロフィー工程によって金属配線 14a、14b 間の層間絶縁膜 18 内にエアギャップ 19 が形成される。また、P E C V D 方式にて形成された層間絶縁膜 18 は段差の発生により一部トポロジーを持つ。

【0009】 図 3 に示すように、金属配線 14a、14b 上に層間絶縁膜 18 を P E C V D (plasma enhanced chemical vapor deposition) 方式にて形成する。このとき、層間絶縁膜 18 は金属配線 14a、14b の下部より上部の方がより厚く形成されるように蒸着して、金属配線 14a、14b 間の層間絶縁膜 18 内にエアギャップ 19 が形成される。また、P E C V D 方式にて形成された層間絶縁膜 18 は段差の発生により一部トポロジーを持つ。

【0010】 その後、図 4 に示すように、トポロジーを持つ層間絶縁膜 18 の表面は C M P (chemical mechanical polishing) 方式によって研磨されて平坦化する。

## 【0011】

【発明が解決しようとする課題】 しかし、従来に用いられる金属配線材料のアルミニウムは、公知のように、電

氣的移動(electromigration)やストレス移動(stress migration)等の様な慢性的な問題を持つので、断線が発生しやすい。これにより、現在は電氣的移動及びストレス移動の問題点が少ない銅金属を配線材料として用いている。しかし、銅金属膜はエッチング工程によって金属配線を形成するのが困難であるという短所を持つ。これにより、銅金属として金属配線を形成する場合、ダマシン方式により金属配線を形成している。

【0012】図5から図7は、従来のダマシン方式による銅金属配線の形成方法を説明するための断面図である。

【0013】図5に示すように、半導体基板20上の下地層22上に層間絶縁膜24が形成される。層間絶縁膜24は金属配線の形成される部分がオープンになるようにエッチングされる。

【0014】その後、図6に示すように、銅金属膜26が、層間絶縁膜24間の空間が十分に充填されるように層間絶縁膜24上に形成される。

【0015】図7に示すように、銅金属膜26は層間絶縁膜24の表面が露出するように化学的機械的研磨を行い、層間絶縁膜24間に埋め込まれた銅金属配線26a、26bを形成する。

【0016】しかし、ダマシン方式による金属配線方法では、金属配線の形成前に層間絶縁膜が先に形成されるので、層間絶縁膜24内にエアギャップを形成し難い。これにより、ダマシン方式にて形成される金属配線間のキャパシタンスは減少させることが難しい。

【0017】従って、本発明の目的は、ダマシン方式法を用いて作られた金属配線間にエアギャップを形成することにある。

【0018】

【課題を解決するための手段】前記目的を達成するために、本発明による半導体素子の配線構造の製造方法は、下地層を含む半導体基板上に犠牲層を形成する段階；前記犠牲層の所定部分をパターニングする段階；前記犠牲層間の空間に導電層を埋め込み、配線を形成する段階；前記犠牲層を選択的に除去する段階；及び前記配線間の空間にエアギャップが形成されるように層間絶縁膜を形成する段階を含むことを特徴とする。

【0019】また、本発明による半導体素子の配線構造の製造方法は、下地層を含む半導体基板上に犠牲層を形成する段階；前記犠牲層の所定部分をパターニングする段階、このパターニング段階において、パターニングされた前記犠牲層の側壁がテーパ形態になるようにパターニングされる；前記犠牲層上に、前記犠牲層間の空間が十分に充填されるように導電層を形成する段階；前記導電層を前記犠牲層の表面が露出するように除去して、前記犠牲層間の空間に配線を形成する段階、この配形成段階において、前記配線の側壁は前記犠牲層の側壁によって逆テーパ形態を持つ；前記犠牲層を選択的に除去する

段階；及び、前記配線間の空間にエアギャップが形成されるように層間絶縁膜を形成する段階を含むことを特徴とする。

【0020】さらに、本発明は、下地層を含む半導体基板と、前記半導体基板の前記下地層上に形成された配線と、前記配線の上部及び側壁面を被覆して、前記配線間にエアギャップを設けるための層間絶縁膜を含み、前記配線は、その少なくとも一つ以上が所定の間隔にて配置され、下部に行くにつれて狭くなる線幅を備える半導体素子の配線構造そのものにも関連する。

【0021】

【発明の実施の形態】先ず、図8に示されるように、半導体基板30上に下地層32が形成される。このとき、下地層32は、MOSトランジスタの様な回路パターンの具備された酸化層であるか、或いは半導体基板30の表面に形成される酸化膜である。犠牲層34が、下地層32上に形成される。犠牲層34は、下地層32とはエッチング速度差の著しく異なる物質、例えばPSG(phosphorous silicate glass)であつて、例えば、PECVD方式にて形成される。犠牲層34の厚さは、以後形成される金属配線の厚さと同じ厚さで形成されるのが望ましい。その後、金属配線の予定領域がオープンになるように犠牲層34の所定部分がエッチングされる。このとき、犠牲層34は、その側壁が下地層32の表面に対して傾斜するようにテーパ形態で形成される。すなわち、残した犠牲層34は、その上部側の線幅が下部側の線幅より狭い。

【0022】その後、図9に示すように、テーパ形態の犠牲層34上に、犠牲層34間の空間が十分に充填されるように、導電層36、例えば銅金属膜が形成される。導電層36としては、銅金属膜のほか、アルミニウム膜、シリサイド膜または導電性を持つポリシリコン膜などが多様に利用でき、例えば、CVDまたはPVD方式にて形成できる。

【0023】次に、図10に示されるように、導電層36は、CMPまたはエッチバック工程により、犠牲層34の表面が露出するように除去され、犠牲層34間に埋め込まれた配線36a、36bが形成される。このとき、配線36a、36bの側壁は犠牲層34の構造により逆テーパ形態を持つ。

【0024】その後、図11に示すように、犠牲層34は、一般のドライまたはウェットエッチング法によって除去される。このとき、犠牲層34は下地層32及び配線36a、36bと著しいエッチング速度差を持つので、選択的に除去できる。これにより、下地層32上には、上部へ行くにつれてその線幅が広がる形態を持つ配線36a、36bだけが残ることになる。

【0025】次に、図12に示されるように、配線36a、36bの形成された下地層32上に層間絶縁膜38が形成される。層間絶縁膜38内に、配線36a、36

bの形態によって、配線36a、36b間にエアギャップ39が形成される。すなわち、層間絶縁膜38は、配線36a、36bの下部側よりも上部側の方に速く蒸着され、隣接する上部側層間絶縁膜と当接される。従って、逆テーパー形態で配線が形成される程、層間絶縁膜38内にエアギャップ39を形成するのが容易となる。ここで、層間絶縁膜38は配線36a、36bの段差によって所定のトポロジーを持つ。しかも、層間絶縁膜38としては、USG(undoped silicate glass)、PSG(phosphorous silicate glass)、BSG(borosilicate glass)、BPSG(borophosphorous silicate glass)等を用いることができ、寄生容量をより一層低減するために、FSG(fluorinated silicate glass)、ポリマーまたはSOG(spin on glass)のように誘電率が4以下の誘電膜を用いることができる。また、層間絶縁膜38はCVD法、スパッタリング法、スピンコート法または蒸発法(evaporation)等にて形成できる。

【0026】その後、図13に示すように、層間絶縁膜38は、その表面が平坦化するようにCMPまたはエッチバックされる。

【0027】

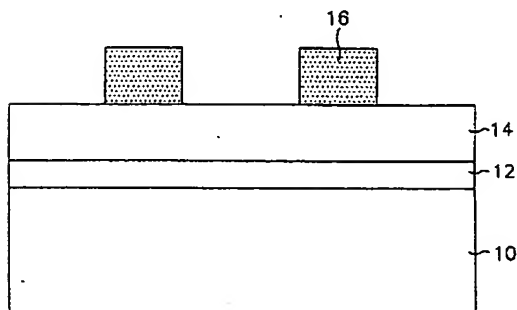
【発明の効果】以上から詳細に説明した様に、本発明によれば、ダマシン方式にて形成された配線36a、36b間にエアギャップが形成されることで、配線36a、36b間のキャパシタンスを低減できる。これにより、デバイスの信号遅延及びクロストークを防止できる。

【0028】また、ダマシン方式によって配線36a、36bが形成されることで、電子移動及びストレス移動を防止できる。よって、金属配線の信頼性が改善される。

【図面の簡単な説明】

【図1】従来技術による配線間エアギャップの形成方法

【図1】



の一段階を説明する断面図

【図2】従来技術による配線間エアギャップの形成方法の一段階を説明する断面図

【図3】従来技術による配線間エアギャップの形成方法の一段階を説明する断面図

【図4】従来技術による配線間エアギャップの形成方法の一段階を説明する断面図

【図5】従来技術によるダマシン方式を用いた配線形成方法の一段階を説明する断面図

【図6】従来技術によるダマシン方式を用いた配線形成方法の一段階を説明する断面図

【図7】従来技術によるダマシン方式を用いた配線形成方法の一段階を説明する断面図

【図8】本発明によるエアギャップを備えた配線の形成方法の一段階を説明するための断面図

【図9】本発明によるエアギャップを備えた配線の形成方法の一段階を説明するための断面図

【図10】本発明によるエアギャップを備えた配線の形成方法の一段階を説明するための断面図

【図11】本発明によるエアギャップを備えた配線の形成方法の一段階を説明するための断面図

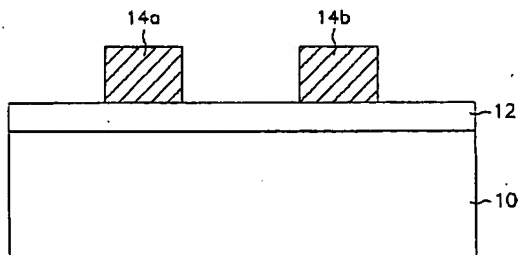
【図12】本発明によるエアギャップを備えた配線の形成方法の一段階を説明するための断面図

【図13】本発明によるエアギャップを備えた配線の形成方法の一段階を説明するための断面図

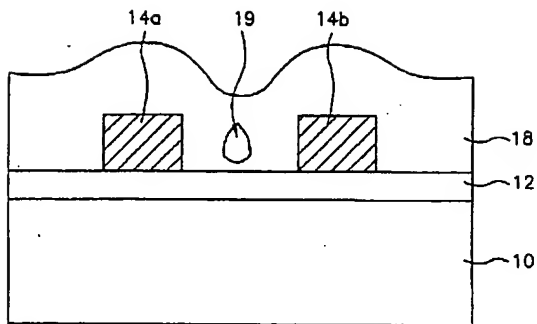
【符号の説明】

- 30 半導体基板
- 32 下地層
- 34 犠牲層
- 36 銅金属膜(導電層)
- 36a, 36b 配線
- 38 層間絶縁膜
- 39 エアギャップ

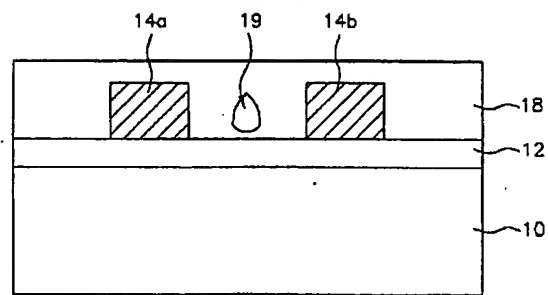
【図2】



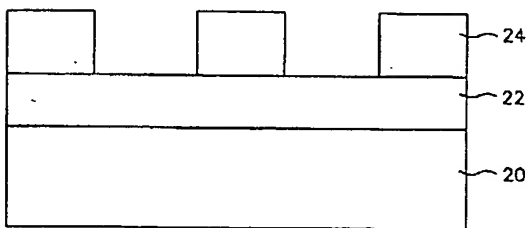
【図3】



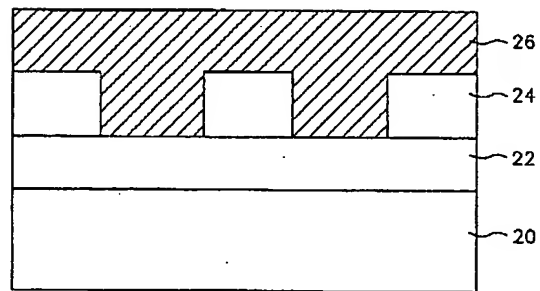
【図4】



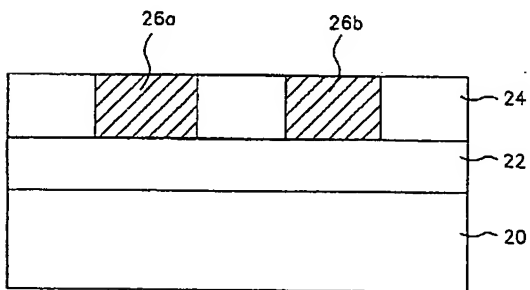
【図5】



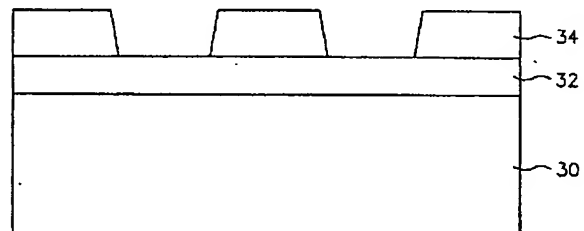
【図6】



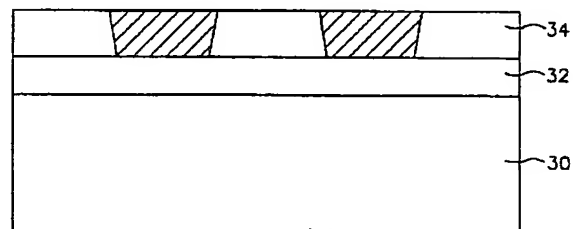
【図7】



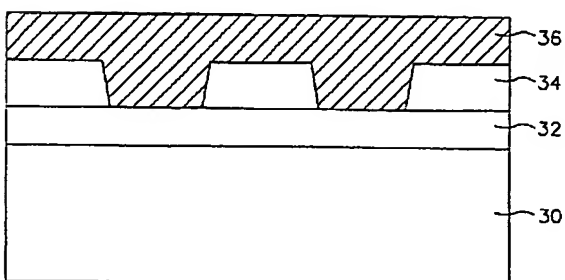
【図8】



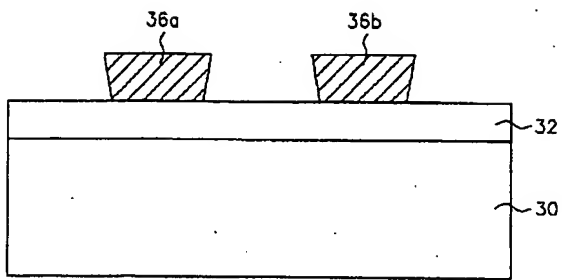
【図10】



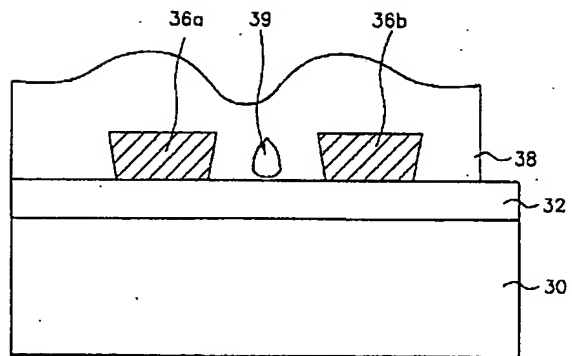
【図9】



【図 11】



【図 12】



【図 13】

